

**Opis przedmiotu zamówienia**  
**„usługa projektowania układów scalonych w formie badań przemysłowych oraz**  
**prac rozwojowych na potrzeby implementacji innowacyjnego komponentu**  
**sprzętowo-programowego w projekcie IDSoC”**

1. Wykaz oznaczeń:

- 1.1. ADE – Analog Design Environment
- 1.2. AES – ang. Advanced Encryption Standard
- 1.3. ATE – ang. Automatic Test Equipment
- 1.4. CAD – ang. Computer Aided Design
- 1.5. CAN – ang. Controller Area Network
- 1.6. CC – ang. Common Criteria
- 1.7. CMOS – ang. Complementary MOS
- 1.8. CRC – ang. Cyclic Redundancy Check
- 1.9. DES – ang. Data Encryption Standard
- 1.10. DFA – ang. Differential Fault Analysis
- 1.11. DFT – ang. Design for Test
- 1.12. DMIPS – ang. Dhrystone Million Instructions Per Second
- 1.13. DPA – ang. Differential Power Analysis
- 1.14. DRC – ang. Design Rule Checking
- 1.15. EDA – ang. Electronic Design Automation
- 1.16. EDI – ang. Encounter Digital Implementation
- 1.17. EEPROM – ang. Electrically Erasable Programmable Read-Only Memory
- 1.18. eFLASH – ang. Embedded Flash Memory
- 1.19. FPGA – ang. Field Programmable Gate Array
- 1.20. GPIO – ang. General Purpose Input/Output
- 1.21. HDL – ang. Hardware Description Language
- 1.22. HR – ang. High Resistivity
- 1.23. I2C – ang. Inter – Integrated Circuit
- 1.24. IP – ang. Intellectual Property
- 1.25. LVS – Layout Versus Schematic
- 1.26. MC – Monte Carlo
- 1.27. MIM – ang. Metal insulator metal
- 1.28. MOM – ang. Metal oxide metal
- 1.29. MOS – ang. Metal Oxide Semiconductor
- 1.30. MPW – ang. Multi-Project Wafer
- 1.31. MSSR – ang. Minimum Site Security Requirements
- 1.32. NFC – ang. Near-Field Communication
- 1.33. NVM – ang. Non-Volatile Memory
- 1.34. PDK – and. Process Design Kit
- 1.35. PLL – ang. Phase Locked loop
- 1.36. PN – Polska Norma
- 1.37. PSS – ang. Periodic Steady-State
- 1.38. PUF – ang. Physical Unclonable Function
- 1.39. RF – ang. Register File, ang. Radio Frequency
- 1.40. ROM – ang. Read-Only Memory
- 1.41. RSA – asymetryczny algorytm kryptograficznych z kluczem publicznym
- 1.42. RTL – ang. Register Transfer Logic
- 1.43. SHA – ang. Secure Hash Algorithm
- 1.44. SoC – ang. System on Chip
- 1.45. SOGIS-MRA – ang. Senior Officials Group Information System Security – Mutual Recognition Agreement
- 1.46. SPA – ang. Simple Power Analysis
- 1.47. SPI – ang. Serial Peripheral Interface
- 1.48. SRAM – ang. Static Random Access Memory
- 1.49. STB – ang. Stability
- 1.50. TDES – ang. Triple DES
- 1.51. TRAN – ang. Transient
- 1.52. TRNG – ang. True Random Number Generator
- 1.53. UART – ang. Universal Asynchronous Receiver/Transmitter
- 1.54. USB – ang. Universal Serial Bus

## 2. Przedmiot zamówienia:

**2.1.** Przedmiotem zamówienia są usługi projektowe w formie badań przemysłowych oraz prac rozwojowych na potrzeby opracowania, implementacji i wytworzenia innowacyjnego komponentu sprzętowo-programowego (układu scalonego i oprogramowania wbudowanego – ang. *firmware*) w projekcie IDSoC realizowanym w I konkursie w ramach programu CyberSecIdent (nakierowanym na podniesienie bezpieczeństwa cyberprzestrzeni RP).

**2.2.** Od Wykonawcy wymagane będzie aktywne uczestnictwo oraz konsultacje w procesie opracowania wymagań oraz określenia zakresu prac dotyczących sprzętowej realizacji funkcji układu scalonego IDSoC, jego bloków składowych oraz całego kryptosystemu.

### 2.3. Bloki układu scalonego.

**2.3.1.** W trakcie trwania projektu Wykonawca będzie miał za zadanie opracować i dostarczyć Zamawiającemu szereg bloków zarówno cyfrowych jak i analogowych realizujących funkcje układu scalonego IDSoC na podstawie wyników badań dostarczonych przez Zamawiającego.

**2.3.2.** Zakres prac opracowany zostanie przez Zamawiającego (we współpracy z konsorcjantem w projekcie IDSoC – Politechniką Warszawską) w trakcie trwania projektu i uwzględniał będzie między innymi następujące zagadnienia:

**2.3.2.1.** sprzętową realizację funkcji kryptograficznych AES, DES, TDES, RSA, CRC, SHA wraz z implementacją technik przeciwdziałających atakom SPA, DPA, DFA; implementację generatora liczb prawdziwie losowych - TRNG

**2.3.2.2.** implementację funkcji fizycznie nieklonowalnych - PUF

**2.3.2.3.** zaprojektowanie układów monitorujących środowiskowe warunki pracy układu scalonego (np. temperaturę pracy, stopień naświetlenia, napięcie zasilania, częstotliwość pracy zegara);

**2.3.2.4.** implementację kompletnego toru komunikacji bliskiego zasięgu NFC zawierającego kontroler cyfrowy oraz tor radiowy wraz z modułem odzyskiwania energii z pola elektromagnetycznego;

**2.3.2.5.** mechanizmy detekcji ingerencji zewnętrznej w strukturę fizyczną układu scalonego (np. *active shielding*);

**2.3.2.6.** implementację i rozwój wybranego rdzenia procesora.

**2.3.3.** Wszystkie zaprojektowane bloki i komponenty muszą współdziałać ze sobą w obrębie jednego układu scalonego w celu realizacji wymaganych parametrów i cech projektowanego systemu.

### 2.4. Układ scalony

**2.4.1.** Wykonawca odpowiedzialny będzie za wykonanie i dostarczenie Zamawiającemu w ramach Zadania nr 4 (patrz pkt 3.1) co najmniej dwóch wersji układu scalonego IDSoC we wskazanej przez Zamawiającego technologii.

**2.4.2.** Każda wersja układu IDSoC ma stanowić kompletny mikroprocesorowy system scalony (rdzenie procesora, pamięć NVM, pamięć RAM, magistrale, peryferia, NFC, koprocesor kryptograficzny, czujniki środowiskowe, itp.) wykonany według specyfikacji Zamawiającego.

**2.4.3.** Podczas trwania projektu Wykonawca ma za zadanie rozwinąć wybrany rdzeń procesora o funkcje niezbędne do późniejszej pomyślnej certyfikacji układu z uzasadnionym poziomem zaufania EAL4 (ang. *Evaluation Assurance Level*) lub wyższym.

**2.4.4.** Przynajmniej ostatnia wersja układu scalonego zrealizowana w ramach Zadania nr 4 (patrz pkt 3.1), wykonana będzie w trybie pilotażowym (ang. *engineering run*) wraz z zakupem i dostarczeniem Zamawiającemu pełnego zestawu masek produkcyjnych (ang. *full mask set*) w technologii określonej przez Zamawiającego. Zamawiający dopuszcza dostarczenie masek produkcyjnych w postaci przekazania praw do dysponowania nimi, w tym prawa własności.

**2.4.5.** Minimalna seria produkcyjna, którą w ramach Zadania nr 4 (patrz pkt 3.1) będzie musiał zamówić i dostarczyć Wykonawca, musi składać się z przynajmniej 12 półprzewodnikowych płytek podłożowych o średnicy 200 mm lub 300 mm, przy czym docelowy rozmiar określi Zamawiający w trakcie prowadzonych badań.

### 2.5. Technologia.

**2.5.1.** Wybrana technologia musi umożliwiać realizację wbudowanej (umieszczonej na tej samej strukturze krzemowej) pamięci nieulotnej NVM typu EEPROM lub eFLASH. Typ pamięci (EEPROM/FLASH) będzie określony przez Zamawiającego w trakcie realizacji zamówienia.

**2.5.2.** Wymagana technologia realizacji układu scalonego musi mieć minimum 7 poziomów metalizacji oraz posiadać elementy aktywne typu MOS pracujące przy napięciach min. 5 V oraz tranzystory MOS typu core z cienkim tlenkiem na napięcia zasilania z zakresu 1V – 1,5V.

**2.5.3.** Wymagana jest również dostępność oraz pełne modelowanie elementów pasywnych w PDK (ang. *Process Design Kit*) dostarczonym przez producenta technologii: rezystory HR, kondensatory MIM i MOM oraz waraktory MOS lub złączowe (PN).

#### **2.5.4. Komunikacja.**

**2.5.4.1.** Wykonawca zostanie zobowiązany do prowadzenia komunikacji z dostawcą docelowej technologii z uwzględnieniem wymagań bezpieczeństwa zgodnie z normą PN – ISO/IEC 15408.

**2.5.4.2.** Wykonawca będzie zobligowany do wysyłania projektu części hardware'owej do produkcji pilotażowej oraz MPW bezpośrednio do fabryki bez pośrednictwa stron trzecich (takich jak np.: centrum MPW, EUROPRACTICE, MOSIS lub tzw. channel partners). Zamawiający dopuszcza jednak wysyłanie projektu do produkcji poprzez autoryzowanych przez fabrykę pośredników, jeśli pośrednik spełnia normy, które umożliwią późniejszą certyfikację CC opracowanego układu IDSoC (tj. zgodnie z normą ISO/IEC 15408).

### **3. Harmonogram projektu.**

**3.1.** Harmonogram realizacji zadań Wykonawcy jest następujący:

<b>Nr zadania</b>	<b>Tytuł zadania</b>	<b>Termin zakończenia zadania</b>	<b>Maksymalny czas trwania zadania</b>
1	Analiza wymagań i badania porównawcze dla różnych technik realizacji układu scalonego, budowa emulatora układu scalonego oraz symulatora kryptosystemu.	31.12.2019	7 miesięcy
2	Określenie wymagań na układ scalony oraz kryptosystem (razem: komponent sprzętowo - programowy), zgodnie z modelem formalnym opisanym w PN-150/IEC 15408-2; w tym z uwzględnieniem wymagań na proces projektowania i wytwarzania elementów tego komponentu.	30.11.2019	6 miesięcy
3	Wytworzenie i pomiary bloków analogowych i cyfrowych w dwóch seriach prototypowych. Badania i testy bloków analogowych i cyfrowych układu scalonego oraz symulatora kryptosystemu w kontrolowanych warunkach laboratoryjnych.	31.05.2020	12 miesięcy
4	Zaprojektowanie i przekazanie do wytworzenia kolejnych wersji prototypu układu scalonego -1D5oC; opracowanie i wytworzenie firmware'u dla układu scalonego.	31.03.2021	23 miesiące
5	Testowanie eksperymentalnych wersji prototypu komponentu sprzętowo-programowego IDSoC, określenie koniecznych zmian w komponencie.	31.03.2021	14 miesięcy
6	Testowanie i eksperymentalna ocena bezpieczeństwa, zgodnie z normą PN-150/IEC 15408-3, demonstratora komponentu sprzętowo - programowego z układem scalonym IDSoC,	31.07.2021	3 miesiące
7	Uwzględnienie rekomendacji z oceny bezpieczeństwa w wymaganiach na produkt przewidziany do wdrożenia.	30.09.2021	3 miesiące

**3.1.1.** Na życzenie potencjalnego Wykonawcy, podczas etapu składania ofert, może zostać udostępniony do wglądu dokument wniosku o realizację projektu IDSoC Nr CYBERSECIDENT/369203/I/NCBR/2017 realizowanego w I konkursie w ramach programu CyberSecIdent. Warunkiem takiego udostępnienia jest podpisanie stosownego porozumienia o zachowaniu poufności informacji. Udostępnienie dokumentu do wglądu będzie odbywało się w siedzibie i pod nadzorem Zamawiającego, bez prawa kopiowania całości lub jakiegokolwiek części wniosku. W momencie udostępnienia wniosku osoby reprezentujące potencjalnego Wykonawcę składają pisemne oświadczenie, że zapoznały się z udostępnionym do wglądu materiałem.

**3.2.** Realizacja przedmiotu zamówienia będzie odbywała się zgodnie z ustalonym w pkt 3.1. powyżej harmonogramem prac (powiązanych z harmonogramem projektu IDSoC) w ramach następujących zadań:

**3.2.1. Zadanie 1:** „Analiza wymagań i badania porównawcze dla różnych technik realizacji układu scalonego, budowa emulatora układu scalonego oraz symulatora kryptosystemu”:

**3.2.1.1.** W ramach wykonania tego zadania Wykonawca będzie ściśle współpracował z Zamawiającym w celu doboru odpowiedniej technologii produkcji układu scalonego IDSoC. W związku z tym nawiązany zostanie bezpośredni kontakt z kilkoma fabrykami półprzewodników. Wybrana fabryka półprzewodników musi mieć możliwość produkcji układu scalonego IDSoC w taki sposób, aby spełniać wszystkie warunki stawiane technologii produkcji układu scalonego niezbędne w celu uzyskania pozytywnej certyfikacji CC opracowanego układu IDSoC (tj. zgodnie z normą ISO/IEC 15408). Przy współpracy z Zamawiającym Wykonawca zrealizuje te prace projektowe nad blokami układu IDSoC, które są niezależne od wymagań bezpieczeństwa ST (ang. *Security Target*) z wykorzystaniem komercyjnych licencji oprogramowania CAD.

**3.2.2. Zadanie 2:** „Określenie wymagań na układ scalony oraz kryptosystem (razem: komponent sprzętowo-programowy), zgodnie z modelem formalnym opisanym w PN-ISO/IEC 15408-2; w tym z uwzględnieniem wymagań na proces projektowania i wytwarzania elementów tego komponentu”:

**3.2.2.1.** W ramach realizacji tego zadania Wykonawca proponuje wymagania na komponent (układ scalony i oprogramowanie wbudowane – firmware) w formalnym modelu Common Criteria (ST), które są następnie weryfikowane i zatwierdzane przez Zamawiającego. Wykonawca kontynuuje prace związane z projektowaniem podbloków układu IDSoC z uwzględnieniem wcześniej opracowanych w zadaniu wymagań oraz z wykorzystaniem komercyjnych licencji oprogramowania CAD do projektowania układów scalonych.

**3.2.3. Zadanie 3:** „Wytworzenie i pomiary bloków analogowych i cyfrowych w dwóch seriach prototypowych. Badania i testy bloków analogowych i cyfrowych układu scalonego oraz symulatora kryptosystemu w kontrolowanych warunkach laboratoryjnych”:

**3.2.3.1.** W ramach wykonywania tego zadania Wykonawca wytwarza bloki analogowe i cyfrowe układu IDSoC oraz przeprowadza ich pomiary. Wykonawca na podstawie otrzymanych rezultatów badań, projektuje finalne podbloki układu IDSoC z wykorzystaniem licencji komercyjnych oprogramowania CAD.

**3.2.4. Zadanie 4:** „Zaprojektowanie i przekazanie do wytworzenia kolejnych wersji prototypu układu scalonego – IDSoC; opracowanie i wytworzenie firmware’u dla układu scalonego”:

**3.2.4.1.** W ramach wykonywania tego zadania Wykonawca wytworzy i dostarczy Zamawiającemu kolejne prototypy kompletnego układu scalonego IDSoC wykonanego z wykorzystaniem licencji komercyjnych oprogramowania CAD oraz z uwzględnieniem przekazanych wymagań.

**3.2.5. Zadanie 5:** „Testowanie eksperymentalnych wersji prototypu komponentu sprzętowo-programowego IDSoC, określenie koniecznych zmian w komponencie”:

**3.2.5.1.** W celu zapewnienia realizacji projektu zgodnie z wymaganiami ISO/IEC 27001 i SOGIS MRA, oraz aby umożliwić przyszłą certyfikację zgodnie z PN-ISO/IEC 15408, Wykonawca uczestniczy w badaniach i testach eksperymentalnego komponentu sprzętowo-programowego w kontrolowanych warunkach laboratoryjnych w miejscach i w czasie oznaczonych przez Zamawiającego na piśmie lub za pośrednictwem poczty elektronicznej.

**3.2.6. Zadanie 6:** „Testowanie i eksperymentalna ocena bezpieczeństwa – zgodnie z normą PN-ISO/IEC 15408-3 – demonstratora komponentu sprzętowo-programowego z układem scalonym IDSoC”:

**3.2.6.1.** Ze względu na fakt, iż za projekt oraz realizację finalnej wersji układu scalonego IDSoC odpowiedzialny jest Wykonawca, jest on zobowiązany do uczestnictwa w przeprowadzeniu próbnej oceny bezpieczeństwa w rygorze procedury SOGIS MRA w miejscach i w czasie oznaczonych przez Zamawiającego na piśmie lub za pośrednictwem poczty elektronicznej.

**3.2.7. Zadanie 7:** „Uwzględnienie rekomendacji z oceny bezpieczeństwa w wymaganiach na produkt; przygotowanie produktu do wdrożenia”:

**3.2.7.1.** Ze względu na fakt, iż za projekt oraz realizację finalnej wersji układu scalonego IDSoC odpowiedzialny jest Wykonawca, jest on zobowiązany do uczestnictwa w przeprowadzeniu próbnej oceny bezpieczeństwa w rygorze procedury SOGIS MRA w miejscach i w czasie oznaczonych przez Zamawiającego na piśmie lub za pośrednictwem poczty elektronicznej. Wykonawca współpracuje z Zamawiającym podczas tworzenia analizy i opracowania sposobu wdrożenia rekomendacji z oceny bezpieczeństwa.

**3.3.** Okres realizacji zadań w przygotowanej ofercie podlega uwarunkowaniom zdefiniowanym w punkcie 3.1.

**3.4.** Wykonawca co najmniej raz na 6 miesięcy sporządzi i dostarczy Zamawiającemu raport w formie pisemnej wraz z przekazaniem wyników prac, podlegający ocenie przez Komisję powołaną przez Zamawiającego do odbioru pracy, określający stan realizacji prac w poszczególnych zadaniach projektowych i realizacji szczegółowych działań przypadających na dane zadanie wynikające z harmonogramu prac.

**3.5.** Koszty realizacji poszczególnych zadań w przygotowanej ofercie podlegają następującym uwarunkowaniom:

**3.5.1.** Zadanie 1 – Cena wykonania wynosi 17,67% całości ceny przedmiotu zamówienia,

**3.5.2.** Zadanie 2 – Cena wykonania wynosi 23,14% całości ceny przedmiotu zamówienia,

**3.5.3.** Zadanie 3 – Cena wykonania wynosi 21,89% całości ceny przedmiotu zamówienia,

**3.5.4.** Zadanie 4 – Cena wykonania wynosi 15,13% całości ceny przedmiotu zamówienia,

**3.5.5.** Zadanie 5 – Cena wykonania wynosi 5,68% całości ceny przedmiotu zamówienia,

**3.5.6.** Zadanie 6 – Cena wykonania wynosi 15,13% całości ceny przedmiotu zamówienia,

**3.5.7.** Zadanie 7 – Cena wykonania wynosi 1,35% całości ceny przedmiotu zamówienia.

**3.6.** Zamawiający – po podpisaniu umowy i na etapie jej realizacji – dopuszcza możliwość odstępstwa od zasady równomierności, o której mowa w pkt 3.5., pod warunkiem, że odstępstwo to nie przekroczy maksymalnie 10% względem kwoty wynikającej z podziału w pkt 3.5.

#### **4. Realizacja zamówienia.**

**4.1.** Wykonawca w ofercie może uwzględnić koszty zakupu praw własności projektu procesora firmy trzeciej. Zakup ten nie może być obciążony prawnie zależnościami od jakichkolwiek stron trzecich i musi umożliwiać dostęp do pełnych kodów źródłowych w celu ich dalszych modyfikacji przez Zamawiającego w trakcie wykonywania i po wykonaniu zlecenia.

**4.2.** Wykonawca może zastosować podczas realizacji projektu rdzeń procesora opracowany we własnym zakresie, który spełni wymagania zdefiniowane w projekcie IDSoC. Zastosowany rdzeń procesora musi umożliwiać pracę z częstotliwością nie mniejszą niż 100 MHz w uzgodnionej z Zamawiającym technologii oraz osiągać parametry nie gorsze niż 1,2 DMIPS/MHz/Core oraz 2,0 Coremark/MHz/Core.

**4.3.** Wykonawca jest zobowiązany przewidzieć w ofercie koszty zakupu licencji komercyjnych na bloki IP niezbędne do realizacji układu scalonego takie jak biblioteki komórek standardowych, komórek wejścia/wyjścia, moduły pamięci nieulotnej, generatory pamięci SRAM/RF/ROM i inne.

**4.3.1.** Wykonawca na etapie składania oferty musi przedstawić wykaz zakupów, jakie przewiduje na poczet wykonania zlecenia wraz z szacowaną ceną, przeznaczeniem i terminem dokonania zakupu. W ramach wykazywanych zakupów Wykonawca musi uwzględnić:

**4.3.1.1.** zakup licencji komercyjnych oprogramowania CAD,

**4.3.1.2.** zakup i wykaz bloków IP,

**4.3.1.3.** zakup i wykaz bibliotek komórek standardowych, wejścia/wyjścia,

**4.3.1.4.** zakup modułów pamięci nieulotnej, generatorów pamięci SRAM/RF/ROM i innych,

**4.3.1.5.** zakup rdzenia procesora, jeśli będzie on pozyskany na drodze zakupu.

**4.3.2.** W trakcie realizacji zamówienia Wykonawca musi przedstawiać informacje (wraz z fakturą) o dokonywanych zakupach na poczet wykonania zlecenia zgodnie z wykazem zakupów dołączonym do oferty.

#### **4.4. Bloki i komponenty cyfrowe.**

**4.4.1.** Wszystkie bloki cyfrowe muszą być opisane na poziomie RTL w języku HDL Verilog-2005 w sposób umożliwiający ich poprawną symulację cyfrową oraz syntezę logiczną i topografię.

**4.4.2.** Wszystkie bloki cyfrowe mają być dostarczone wraz ze środowiskiem testowym (ang. testbench) napisanym w języku Verilog-2005 lub SystemVerilog-2005.

**4.4.3.** Wszystkie komponenty cyfrowe muszą być dostarczone wraz z plikami SDC i CPF określającymi stawiane im wymagania czasowe i mocowe niezbędne w procesie syntezy logicznej i topografii.

**4.4.4.** Wszystkie komponenty muszą być napisane w sposób umożliwiający automatyczną implementację i testowanie poprawności wykonania układu z wykorzystaniem wektorów testowych i technik DFT.

**4.4.5.** Wszystkie komponenty muszą umożliwiać przeprowadzenie syntezy logicznej z wykorzystaniem technik DFT automatycznie wprowadzanych w momencie syntezy logicznej oraz automatyczną generację wektorów testowych.

**4.4.6.** Wszystkie komponenty muszą pracować w co najmniej w dwóch trybach: trybie normalnej pracy oraz trybie testowania. Dla obu trybów niezbędne pliki SDC, CPF i MMC umożliwiające ich syntezę logiczną i topografię muszą być dostarczone.

**4.4.7.** Wraz ze środowiskiem testowym musi być dostarczony zestaw pełnych testów funkcjonalnych umożliwiających przeprowadzenie pełnej weryfikacji funkcjonalnej układów. Testy muszą być opisane w postaci plików HDL Verilog-2005 lub SystemVerilog-2005 i stanowić element środowiska testowego.

**4.4.8.** Wszystkie dostarczone komponenty cyfrowe w postaci plików HDL Verilog-2005 lub SystemVerilog-2005 muszą być poprawnie wczytywane i „wykonywane” przez narzędzia projektowania firmy Cadence używane przez Zamawiającego (w tym m.in: Genus, Innovus, Modus, Incisive, Indago, ET, EDI, Conformal).

**4.4.9.** Wszystkie dostarczone komponenty cyfrowe na poziomie RTL w postaci plików HDL muszą być poprawnie wczytywane i „wykonywane” przez oprogramowanie Xilinx ISE w wersji 14.7 oraz implementowane w układzie na płytce ML605 z układem FPGA Virtex-6 XC6VLX240T, którymi dysponuje Zamawiający. Zamawiający dopuszcza zgodność kodu RTL z inną płytą i układem FPGA przy czym:

**4.4.9.1.** Wykonawca dostarczy co najmniej 6 innych płytek z układem FPGA (w postaci płyt uruchomieniowych wraz z oprogramowaniem) o parametrach nie gorszych od układów posiadanych przez Zamawiającego; dostarczone płyty muszą być kompatybilne z kartą FMC XM105 Debug Card

**4.4.9.2.** albo Wykonawca dostarczy Zamawiającemu co najmniej 6 innych płytek z układem FPGA (w postaci płyt uruchomieniowych wraz z oprogramowaniem) o parametrach nie gorszych od układów posiadanych przez Zamawiającego z zaprojektowaną dedykowaną kartą rozszerzeń dla interfejsów SPI, I2C, UART, GPIO, CAN, USB, LED.

#### **4.5. Bloki i komponenty analogowe.**

**4.5.1.** Wszystkie komponenty analogowe muszą być zaprojektowane na poziomie schematu elektrycznego oraz topografii wraz z modelami wyższego poziomu opisanymi w formatach VerilogA i SystemVerilog-2005.

**4.5.2.** Wszystkie komponenty analogowe muszą być pozbawione błędów DRC, LVS i Antenna.

**4.5.3.** Wszystkie komponenty analogowe muszą mieć środowisko testowe umożliwiające weryfikację układu opisanego na poziomie schematu elektrycznego wraz z opisem wykonywanych testów i analiz.

**4.5.4.** Bloki analogowe muszą mieć środowisko testowe umożliwiające przeprowadzenie analiz: AC, DC, TRAN, PSS, NOISE, STB, CORNER, MC (process and mismatch) oraz innych specyficznych dla danego bloku analogowego.

**4.5.5.** Wszystkie komponenty analogowe oraz ich środowiska testowe muszą być dostarczone w postaci widoków (symbol, schematic, maestro - baz danych systemu DFII firmy Cadence używanego przez Zamawiającego) umożliwiających ich otwarcie, symulacje i ewentualne modyfikacje w systemie projektowania firmy Cadence używanym przez Zamawiającego (między innymi programów - Virtuoso, Spectre i ADE).

## **4.6. Układ scalony.**

### **4.6.1. Projekt układu scalonego musi:**

**4.6.1.1.** być dostarczony w postaci: pliku GDSII z mapowaniem warstw odpowiednio do użytej technologii i spełniającym wymagania projektowe i technologiczne stawiane przez fabrykę układów scalonych dostarczającą technologię, w której zaprojektowany został układ scalony;

**4.6.1.2.** być dostarczony w postaci pliku/plików Verilog-2005/SystemVerilog-2005 wraz z plikami SDC, CPF, MMC umożliwiającymi wykonanie syntezy cyfrowej i topografii całego układu scalonego,

**4.6.1.3.** być sprawdzony i pozbawiony błędów typu: DRC, LVS, Antenna;

**4.6.1.4.** musi być wyposażony w pierścień wyprowadzeń (ang. pad ring) wraz z polami kontaktowymi do montażu połączeń wewnątrz obudowy układu scalonego pomiędzy strukturą scaloną a wyprowadzeniami obudowy układu (ang. bonding);

**4.6.1.5.** musi być wyposażony w *boundary scan* oraz co najmniej jeden łańcuch testowania (scan chain) umożliwiający testowanie układu scalonego automatycznie przez urządzenia typu ATE, przy czym liczba łańcuchów i stawiane im wymogi muszą być dostosowane do wymogów stawianych przez fabrykę układów scalonych – wymogi te zostaną określone przez Wykonawcę na drodze komunikacji z dostawcą technologii półprzewodnikowej, w której zostanie wykonany układ scalony.

## **4.7. Oprogramowanie i licencje.**

**4.7.1.** Dostarczone rezultaty usługi mają zostać wykonane z wykorzystaniem licencji komercyjnych oprogramowania EDA/CAD oraz umożliwiać przyszłą certyfikację zgodnie z normą PN – ISO/IEC 15408, a w następstwie umożliwić zleceniodawcy komercjalizację produktu.

## **4.8. Wykonywanie pracy i komunikacja.**

**4.8.1.** Całość prac wykonywanych przez Wykonawcę i ewentualnie przez inne podmioty musi być przeprowadzona zgodnie z normą PN – ISO/IEC 15408 w warunkach laboratoryjnych wynikających z dokumentu "Minimum Site Security Requirements Version 2.1" (MSSR).

**4.8.1.1.** Przechowywanie części wyników prac lub całości, jak i ich przenoszenie musi być przeprowadzone zgodnie z normą PN – ISO/IEC 15408 w warunkach laboratoryjnych wynikających z dokumentu "Minimum Site Security Requirements Version 2.1" (MSSR).

**4.8.2.** W przypadku realizacji prac na terenie Wykonawcy, jest on zobowiązany przedstawić na żądanie Zamawiającego stosowną dokumentację potwierdzającą posiadanie wymaganych uwarunkowań do projektowania układów scalonych z uzasadnionym poziomem zaufania EAL4 lub wyższym.

**4.8.3.** Opcjonalnie, na życzenie Wykonawcy, konsorcjant w projekcie IDSoC, Politechnika Warszawska (PW), może udostępnić Wykonawcy – na zasadach rynkowych – przestrzeń projektową w obrębie laboratoriów PW, które spełniają wymagania "Minimum Site Security Requirements. Version 2.1".

**4.8.4.** Miejscem współpracy pomiędzy Wykonawcą a Zamawiającym w zakresie obejmującym przekazywanie wyników badań i prac projektowych, odbiory kolejnych zadań, spotkania robocze itp. oraz miejscem dostawy rezultatów wykonania poszczególnych zadań Wykonawcy jest Oddział Zamawiającego – pod adresem: ul. Jaśkowa Dolina 15, 80-252 Gdańsk.

**4.8.4.1.** Zamawiający dopuszcza możliwość przekazywania elementów pracy (całości i części) będącej przedmiotem zamówienia na drodze elektronicznej poprzez Internet lub inne środki łączności przy wykorzystaniu odpowiednio zabezpieczonego (szyfrowanego) łącza (zgodnie z wymaganiami Zamawiającego oraz wymaganiami zdefiniowanymi w "Minimum Site Security Requirements. Version 2.1"). Przekazywanie wyników prac może odbywać się również bezpośrednio w siedzibie Zamawiającego w miejscu i terminie wskazanym przez Zamawiającego.

**4.8.4.2.** Przedstawiciele Zamawiającego mogą obserwować i weryfikować stan wykonania prac w miejscu ich realizacji przez Wykonawcę z zachowaniem procedur zdefiniowanych w dokumencie "Minimum Site Security Requirements Version 2.1" (MSSR).

**4.8.4.3.** Transport i wyniki prac podlegające przekazywaniu muszą być zabezpieczone i przeprowadzone zgodnie z normą PN – ISO/IEC 15408 w warunkach laboratoryjnych wynikających z dokumentu "Minimum Site Security Requirements Version 2.1" (MSSR).

#### **4.9. Klauzula społecznościowa**

**4.9.1.** Zamawiający wymaga od Wykonawcy, stosownie do art. 29 ust. 3a ustawy Pzp, aby osoby wykonujące czynności w zakresie realizacji niniejszej Umowy były wykonywane przez osoby zatrudnione na podstawie umowy o pracę w rozumieniu ustawy z dnia 26 czerwca 1974 r. – Kodeks pracy.

**4.9.2.** Wykonawca musi zatrudniać wyżej wymienione osoby na podstawie umowy o pracę, a w przypadku rozwiązania umowy przez osobę zatrudnioną lub przez pracodawcę, Wykonawca zobowiązuje się do zatrudnienia na podstawie umowy o pracę na to miejsce innej osoby.

**4.9.3.** Najpóźniej w 7 dniu od podpisania umowy Wykonawca dostarczy Zamawiającemu listę osób, o których mowa w pkt 4.9.1 wraz z informacją o podstawie do dysponowania pracownikami oraz informacją o czynnościach wykonywanych przez wskazane osoby, podpisaną przez te osoby, zgodnie z załącznikiem nr 1 do umowy (a od podwykonawców, o ile są już znani).

**4.9.4.** Najpóźniej w 7 dniu od podpisania umowy Wykonawca poinformuje pracowników o zasadach zatrudnienia obowiązujących przy realizacji danego zamówienia i uzyska od nich podpis potwierdzający przyjęcie tejsze informacji do wiadomości na liście osób wymienionej w pkt. 4.9.6.

**4.9.5.** Wykonawca zobowiązuje się do udostępnienia Zamawiającemu do wglądu kopii aktualnych umów o pracę potwierdzających, że czynności, o których mowa w pkt 4.9.1 są wykonywane przez osoby zatrudnione na umowę o pracę u Wykonawcy lub podwykonawcy (jeżeli Wykonawca powierza wykonanie części zamówienia podwykonawcy).

**4.9.6.** Wykonawca jest zobowiązany na każde wezwanie Zamawiającego, w terminie wskazanym, a jeżeli strony nie ustalą terminu – w terminie 3 dni roboczych, przedstawić do wglądu Zamawiającemu kopie aktualnych umów o pracę potwierdzających, że czynności, o których mowa w pkt 4.9.1 są wykonywane przez osoby zatrudnione na umowę o pracę, zgodnie z deklaracją złożoną w ofercie Wykonawcy.

**4.9.7.** Nieprzedłożenie przez Wykonawcę kopii umów zawartych przez Wykonawcę (podwykonawcę) z pracownikami wykonującymi w ramach zamówienia czynności, o których mowa w ust. 4.9.1 w terminie wskazanym przez Zamawiającego zgodnie z pkt 4.9.2 będzie traktowane jako niewypełnienie obowiązku zatrudnienia pracowników wykonujących czynności, o których mowa w ust. 4 na podstawie umowy o pracę.